

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272479

(43)Date of publication of application : 18.10.1996

(51)Int.Cl. G06F 1/08  
G06F 1/04  
H03K 3/02  
H03K 23/64

(21)Application number : 07-075855

(71)Applicant : NKK CORP

(22)Date of filing : 31.03.1995

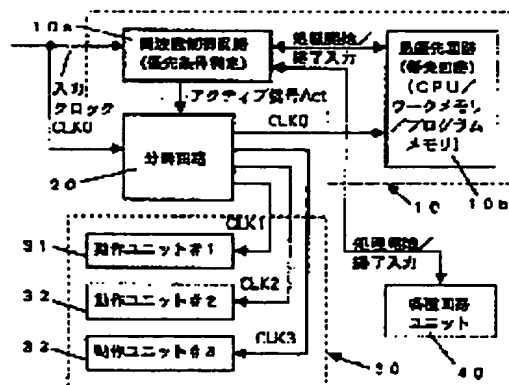
(72)Inventor : SASAKI YASUKI

## (54) VARIABLE CLOCK GENERATION DEVICE

### (57)Abstract:

**PURPOSE:** To suppress increase of the current consumption of a power supply without deteriorating the overall system performance.

**CONSTITUTION:** A variable clock generation device supplies the clocks to the units 31 and 32 which operate by a high speed clock CLK0 or a low speed clock CLK1. Then the generation circuit is provided with a signal switch circuit (dividing action decision circuit) 10 which produces a switch signal Act to switch the clock frequency when a prescribed order (processing start/end) is received, and a variable clock supply circuit 20 which supplies the clock CLK0 to the unit 31 and also the clock CLK1 to the unit 32 respectively in a 1st operating environment (highest priority circuit operation) that is decided by the contents of the instruction and the signal Act and then supplies the clocks CLK0 to both circuits 31 and 32 in a 2nd operating environment (highest priority circuit non-operation) that is decided by the contents of the instruction and the signal Act.



(19) 日本国特許庁 (JP)

(11)特許出願公同 号

特開平8-272479

(51)InCL*	識別記号	片内整理番号	P I		技術指示箇所
G 0 6 F	1/08		G 0 6 F	1/04	3 2 0 B
	1/04	3 0 1			3 0 1 C
H 0 3 K	3/02		H 0 3 K	3/02	Z
	23/84			23/84	G

第7回 未だ 第7回 (全11回)

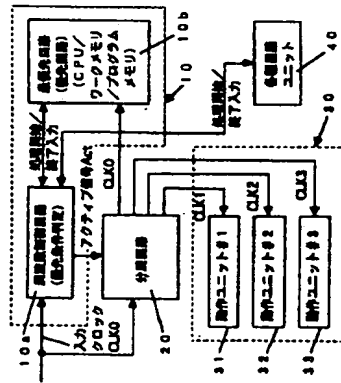
(21) 出願番号	特願平7-75555	(71) 出願人	000004123 日本鋼管株式会社
(22) 公開日	平成7年(1995)3月31日	(72) 発明者	佐々木 泰雄 東京都千代田区丸の内一丁目1番2号
		(70) 代理人	本鋼管株式会社内 伊国士 真谷川 和香 東京都千代田区丸の内一丁目1番2号 日

## (54)【発明の名】 可変クロック発生装置

57) 【要約】

【目的】全体的なシステム性能を落とすことなく電源消費電流を押さえる。

【備考】 高速クロックCLK0または低速クロックCLK1およびCLK2で動作するユニット3.1およびCLK0またはCLK1で動作するユニット3.2にクロックを供給するものとして、所定の命令（処理開始/終了）が入力されたときにクロック周波数を切り換える切替信号Ac1を発生する信号切換回路（分周動作決定回路）10と、前記ユニット3.1にCLK0の内容に応じたままの第1の動作命令の内容と信号Ac1の内容とに基づいて決定される第2の動作命令（補完次回周非動作）では、ユニット3.2にCLK0を供給する可変クロック供給回路20とを備える。





(5)

【0026】図3は、この発明の他の実施例に係る可変クロック発生装置を含むシステム構成を示す。図3において、図示しないシステムクロック発生回路から入力されるクロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102aに入力される。図3は、この発明の他の実施例に係る可変クロック発生装置を含むシステム構成を示す。図3において、図示しないシステムクロック発生回路から入力されるクロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102aに入力される。図3は、この発明の他の実施例に係る可変クロック発生装置を含むシステム構成を示す。図3において、図示しないシステムクロック発生回路から入力されるクロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102aに入力される。

【0027】分周回路20は、周波数制御回路101aからのアクティブ信号A<sub>act</sub>1および周波数制御回路102aからのアクティブ信号A<sub>act</sub>2の組み合わせにより、図3に示すように、クロックCLK0を分周して、4種類のクロックCLK1〜CLK4を、それぞれ4つの動作ユニット31〜34に与える。各動作ユニット31〜34は、与えられたクロックCLK1〜CLK4の周波数に、対応した速度で、自身の処理を実行するようになっている。

【0028】分周回路20はまた、入力クロックCLK0を第1の優先回路101bおよび第2の優先回路102bに与える。クロックCLK0のタイミング動作する第1の優先回路101bはCPUを含んでおり、このCPUが実行するプログラムのタイミング動作に、適宜、処理開始/終了入力#1（第1の処理開始命令#1）が発生する。同様に、クロックCLK0のタイミング動作する第2の優先回路102bもCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#2（第2の処理開始命令#2）が発生する。

【0029】周波数制御回路101aは、優先回路101bから処理開始/終了入力#1を受け取る。所定の条件（優先条件1）が満たされたときにアクティブ信号A<sub>act</sub>1を発生する（図5の時間t<sub>1</sub>）。同様に、周波数制御回路102aは、優先回路102bから処理開始/終了入力#2を受け取る。他の所定条件（優先条件2）が満たされたときにアクティブ信号A<sub>act</sub>2を発生する（図5の時間t<sub>2</sub>）。

【0030】アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2は、分周回路20に入力される。分周回路20は、システムクロック周波数を基準として、内容の命令に対応したアクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせを受け取る期間中（図2のt<sub>1</sub>以降、第1または第2の優先条件が満たされている期間）、優先回路動作に入っている。

【0031】図4は、アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせとクロックCLK0に対する4種類の分周動作と対応関係を示す時間図である。処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが0/0の場合は、4種類のクロックCLK1〜CLK4に対する分周比は全て「1」となる。すなわちクロックCLK1〜CLK4各々の周波数は入

力クロックCLK0と同じになる。

【0032】処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが0/1の場合は、4種類のクロックCLK1〜CLK4は、4種類のクロックCLK1〜CLK4に対する分周比は全て「2」となる。すなわちクロックCLK1〜CLK4各々の周波数は入力クロックCLK0の1/2になる。

【0033】処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが1/1の場合は、4種類のクロックCLK1〜CLK4に対する分周比は全て「4」となる。すなわちクロックCLK1〜CLK4各々の周波数は入力クロックCLK0の1/4になる。

【0034】アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが時間とともに変化する場合は、優先回路101bおよび102bの動作とそれに伴うクロックCLK1〜CLK4の周波数変化は、たとえば図5に示すようになる。

【0035】すなわち、時間t<sub>1</sub>以前では、アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが0/0なので分周比は「1」であるから、クロックCLK1〜CLK4の周波数は入力クロックCLK0と一致している。

【0036】時間t<sub>1</sub>からt<sub>2</sub>の間では、アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが1/0なので分周比は「2」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/2に変化する（時間t<sub>1</sub>、t<sub>2</sub>、t<sub>3</sub>、t<sub>4</sub>）。

【0037】時間t<sub>2</sub>以降では、アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが1/1なので分周比は「4」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/4に変化する（時間t<sub>2</sub>、t<sub>3</sub>、t<sub>4</sub>）。

【0038】その後アクティブ信号A<sub>act</sub>1およびA<sub>act</sub>2の組み合わせが0/0に戻ると、優先回路動作が終了し、クロックCLK1〜CLK4は入力クロックCLK0の周波数と同じに戻る。このクロック周波数の復帰は、優先回路101bおよび102bまたは102bから図示しないメインCPUに通知することができる。

【0039】つまり、優先回路101bおよび102bのCPUがそのプログラム実行中に処理開始命令（処理開始/終了入力）#1および#2を周波数制御回路101aおよび102aへ適宜与えることにより、各動作ユニット31〜34は、適宜変更されたクロックCLK1〜CLK4の周波数に対応した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更（クロック周波数低減）により、全体として、動作ユニット

群30の電源消費電流（電力消費量）を減らすことができる。

【0040】上記実施例は、次のような作用効果を持つ。

【0041】優先回路（101b、102b）を複数用いることにより、分周回路20における分周の組み合わせ数を増やすことができる。異なるクロックで動作する多数のユニットで構成される複雑なシステムへ、この発明を応用できる。

【0042】図6は、この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図7はこの装置の動作を説明するフローチャートである。

【0043】図示しないCPUからの命令コードは分周動作状態回路10内部の命令デコーダ110に入力される。デコーダ110は、入力された命令の内容に応じた組み合わせで、3種類のアクティブ信号A<sub>act</sub>1〜A<sub>act</sub>3を発生する。これらのアクティブ信号A<sub>act</sub>1〜A<sub>act</sub>3は、ゲートアレイなどで構成される選択回路120とともに、分周回路20のゲートG21〜G23の第1入力端に与えられる。分周回路20内のゲートG21〜G23の第2入力端には、分周前のクロックCLK0が入力される。

【0044】ゲートG21は、アクティブ信号A<sub>act</sub>1が「1」レベルのときにだけ、入力クロックCLK0を第1の分周回路21へ供給する。同様に、ゲートG22はアクティブ信号A<sub>act</sub>2が「1」レベルのときにだけ入力クロックCLK0を第2の分周回路22へ供給し、ゲートG23はアクティブ信号A<sub>act</sub>3が「1」レベルのときにだけ入力クロックCLK0を第3の分周回路23へ供給する。

【0045】第1〜第3の分周回路21〜23は、選択回路120から「1」レベルの選択信号SL1〜SL3を受けているときにだけ分周動作を行う。選択信号SL1〜SL3それぞれのレベルは、アクティブ信号A<sub>act</sub>1〜A<sub>act</sub>3の組み合わせによって決定される。

【0046】たとえば、デコーダ110に入力された命令をデコーダした結果（図7のステップST10）、数値演算ユニット（ALU）31の実行命令であれば（ステップST12の#1）、ゲートG21を導通させる信号A<sub>act</sub>1=「1」がデコーダ110から出力されるとともに、分周回路21の分周比を「1」にする信号SL1が出力される（ステップST14）。これにより、数値演算ユニット31は最高速のクロックCLK1（=CLK0）で動作する。

【0047】一方、そのときデコーダ110に入力された命令（数値演算ユニット31の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード/ストア命令を含んでおり、この命令を最高速で実行する必要があるならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップST24）。これによりロード/ストア制御ユニット32への電源電流が低減される。また、数値演算が実行される

り分周比が「2」に設定される（ステップST16）。これによりロード/ストア制御ユニット32への電源電流が低減される。また、浮動小数点演算が実行されない命令であれば、信号A<sub>act</sub>1=「0」がデコーダ110から出力され、ゲートG23が導通状態になる。すると分周回路23へのクロック入力が入力され（ステップST16）、浮動小数点演算ユニット（FPU）33は動作を停止する（この場合、ユニット33は所定電力を消費しない）。

【0048】デコーダ110に入力された命令をデコーダした結果（ステップST10）、ロード/ストア制御ユニット32の実行命令であれば（ステップST12の#2）、ゲートG22を導通させる信号A<sub>act</sub>2=「1」がデコーダ110から出力されるとともに、分周回路22の分周比を「1」にする信号SL2が出力される（ステップST18）。これにより、ロード/ストア制御ユニット32は最高速のクロックCLK2（=CLK0）で命令があるいはデータのロード/ストアを実行する。

【0049】一方、そのときデコーダ110に入力された命令（ロード/ストア制御ユニット32の動作速度が最優先されている）が、たとえば数値演算命令を含んでおり、この命令を最高速で実行する必要があるならば、分周回路21は信号SL1により分周比が「2」に設定される（ステップST20）。これにより数値演算ユニット31への電源電流が低減される。

【0050】また、そのときデコーダ110に入力された命令（ロード/ストア制御ユニット32の動作速度が最優先されている）が、たとえば浮動小数点演算命令を含んでおり、この命令を最高速で実行する必要があるならば、分周回路23は信号SL3により分周比が「2」に設定される（ステップST20）。これにより浮動小数点演算ユニット33への電源電流が低減される。

【0051】デコーダ110に入力された命令をデコーダした結果（ステップST10）、浮動小数点演算ユニット（FPU）31の実行命令であれば（ステップST12の#3）、ゲートG23を導通させる信号A<sub>act</sub>3=「1」がデコーダ110から出力されるとともに、分周回路23の分周比を「1」にする信号SL3が出力される（ステップST22）。これにより、浮動小数点演算ユニット33は最高速のクロックCLK3（=CLK0）で動作する。

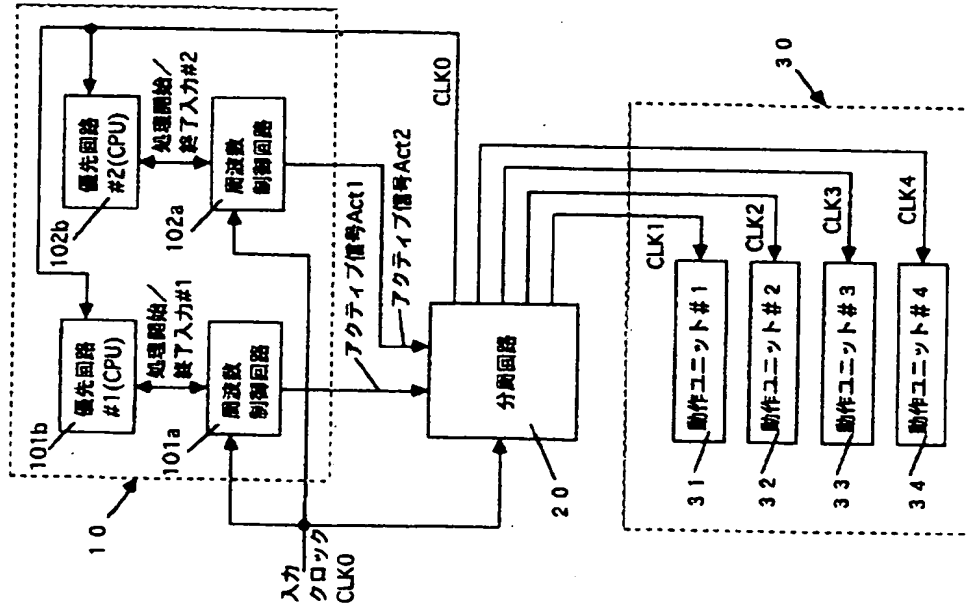
【0052】一方、そのときデコーダ110に入力された命令（浮動小数点演算ユニット33の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード/ストア命令を含んでおり、この命令を最高速で実行する必要があるならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップST24）。これによりロード/ストア制御ユニット32への電源電流が低減される。また、数値演算が実行される

(6)



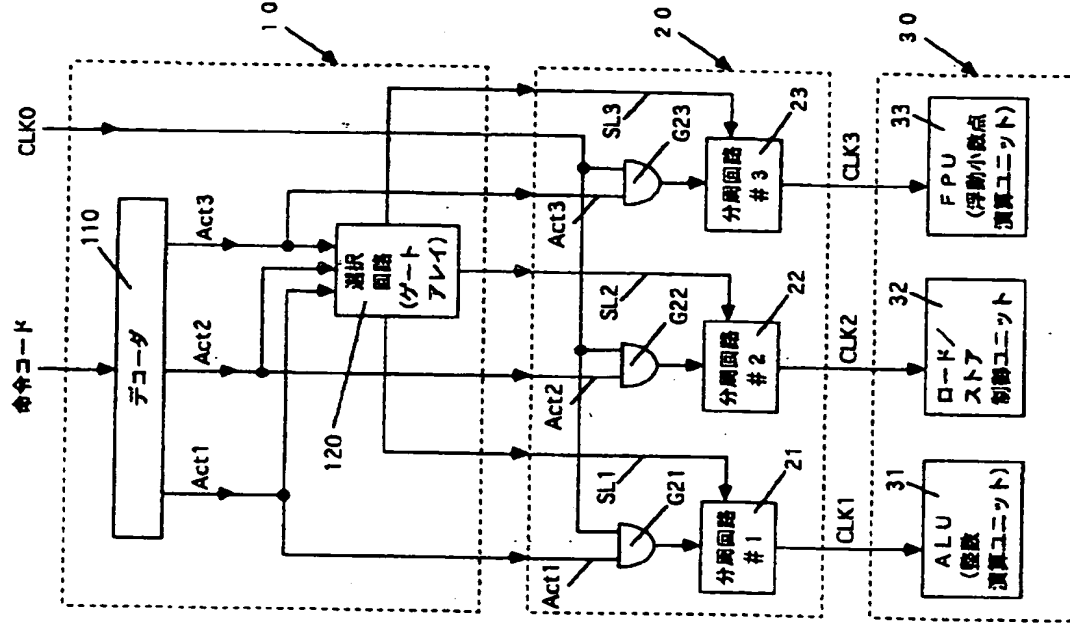
(9)

【図3】



(10)

【図6】



(II)

【図 7】

